

## INFORMATION PROCESSOR WITH MEMORY RESTORING FUNCTION

Patent Number: JP4336351  
Publication date: 1992-11-24  
Inventor(s): KIMURA TERUMICHI  
Applicant(s): FUJI FACOM CORP  
Requested Patent: ☐ JP4336351  
Application Number: JP19910107688 19910514  
Priority Number(s):  
IPC Classification: G06F12/16  
EC Classification:  
Equivalents: JP3076881B2

---

### Abstract

---

**PURPOSE:** To remove the limitation of the frequency of writing based upon the life of an E<2>ROM by the information processor which stores necessary data in the E<2>ROM and processes the data in the storage state.

**CONSTITUTION:** The process is performed at all times by using a RAM 3 which is backed up by a battery circuit 4A and the contents of the E<2>ROM 2 and RAM 3 are compared at each period; when the both are different, the contents of the RAM 3 are copied to the E<2>ROM 2 and stored. At the time of a power recovery after power-OFF operation, the contents of the E<2>ROM 2 and RAM 3 are compared and if the both are different, the contents of the E<2>ROM 2 are copied to the RAM 3 and the process is restarted. In this case, the constant period is set to over the period obtained by dividing the life of the device by the life frequency of writing to the E<2>ROM.

---

Data supplied from the **esp@cenet** database - 12



特開平4-336351

(43)公開日 平成4年(1992)11月24日

(51)Int.Cl. <sup>4</sup>	分類記号	庁内整理番号
G 0 6 F 1 2 / 1 6	3 4 0 Q	7 6 2 9 - 5 8

技術表示箇所

審査請求 未請求 請求項の枚数(全 4 頁)

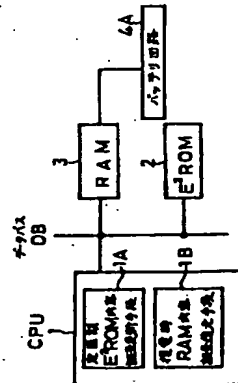
(21)出願号	特開平3-107688	(71)出願人	000237156 富士フロンティア株式会社 東京都日野市富士町1番地
(22)出願日	平成3年(1991)5月14日	(72)発明者	木村 照彦 東京都日野市富士町1番地 富士フロンティア株式会社内
		(74)代理人	井理士 山口 憲

(54)【発明の名称】 メモリ復元機能付情報処理装置

(57)【要約】

【目的】 E<sup>2</sup>ROM に必要なデータを格納して保持しながら、処理を行う情報処理装置でE<sup>2</sup>ROM の寿命に基づく番換回数の制限から免れるようにする。

【構成】 バッテリ回路4AによってバックアップされるRAM3を用いて常時、処理を行い、定周期毎にE<sup>2</sup>ROM 2とRAM3の内容を比較し、両者が異なるときはRAM3の内容をE<sup>2</sup>ROM 2へコピーして保持する。そして、番換後の復元時にはE<sup>2</sup>ROM 2とRAM3の内容を比較し、両者が異なるときはE<sup>2</sup>ROM 2の内容をRAM3へコピーして処理を開始する。この場合、前記の定周期は番換寿命をE<sup>2</sup>ROM の番換寿命回数で除した期間以上となるようにする。



【特許請求の範囲】

【請求項1】 バッテリバックアップされるRAMを用いて常時、処理を行うと共に、前記RAM内の所定領域のデータをコピーして保持するE<sup>2</sup>ROMを備えた情報処理装置であって、電源回復時、前記RAMの前記所定領域のデータと前記E<sup>2</sup>ROM内の該データとを比較し、両者が異なるときは前記E<sup>2</sup>ROMのデータを前記RAMの前記所定領域へコピーする手段を備えたことを特徴とするメモリ復元機能付情報処理装置。

【請求項2】 請求項1に記載のメモリ復元機能付情報処理装置において、前記RAM内の所定領域のデータと前記E<sup>2</sup>ROM内のこのデータとを比較するデータとを比較した結果、両者が異なることを行われるようにしたことを特徴とするメモリ復元機能付情報処理装置。

【請求項3】 請求項2に記載のメモリ復元機能付情報処理装置において、前記所定領域はこの情報処理装置の寿命時間と前記E<sup>2</sup>ROMの番換寿命回数で除した期間以上であるようにしたことを特徴とするメモリ復元機能付情報処理装置。

【発明の詳細な説明】

【0001】  
【産業上の利用分野】 本発明は常時はRAMを用いて処理を行い、復電時のRAM内容の復元のために、制限回数以内で番換可能なE<sup>2</sup>ROM、電源断時にメモリ内容を保持する機能を有するE<sup>2</sup>ROM (Electrically Erasable Read Only Memory: 電気的消去可能なROM) を使用した情報処理装置、特にE<sup>2</sup>ROMの制限回数を上まわるデータ変更を可能とするメモリ復元機能付情報処理装置に関する。なお以下各図において同一の符号は同一もしくは相当部分を示す。

【0002】  
【従来の技術】 図5、図6はE<sup>2</sup>ROMを使用した従来の情報処理装置のメモリ回路の構成例を示す。図5において1はCPU、2はE<sup>2</sup>ROM、DBはこの両者1、2を結合するデータバスである。また図6において3はデータバスDBに接続されたRAM、4は停電時、CPU1、RAM3の内容をE<sup>2</sup>ROMに電源供給するバッテリ回路である。すなわち従来、E<sup>2</sup>ROM 2にデータを書き込む方式として下記のものがある。

(1) 図5のように保持すべきデータに変更が生じた時にCPU1がE<sup>2</sup>ROM 2の内容を書き換える方式。  
(2) 図6のように通常はCPU1はRAM3のデータにて情報処理し、電源断時にRAM3の内容をE<sup>2</sup>ROM 2にコピーし、電源回復時には逆にE<sup>2</sup>ROM 2の内容をRAM3にコピーする方式。

【0003】  
【発明が解決しようとする課題】 しかしながらE<sup>2</sup>ROMの番換回数には有限であるためこれをN回とすると、図5におけるデータ変更回数はN回以下、図6における電源

【課題を解決するための手段】 前記の課題を解決するために、請求項1のメモリ復元機能付情報処理装置は、(バッテリ回路4Aなどを用いて) バッテリバックアップされるRAM (3など) を用いて常時、処理を行うと共に、前記RAM内の所定領域のデータを(定周期毎に) E<sup>2</sup>ROM (2など) を備えた情報処理装置であって、電源回復時、前記RAMの前記所定領域のデータと前記E<sup>2</sup>ROM内の該データとを比較し、両者が異なるときは前記E<sup>2</sup>ROMのデータを前記RAMの前記所定領域へコピーする手段(復電時RAM内容更新手段1Bなど)を備えたものとし、

【0004】  
【課題を解決するための手段】 前記の課題を解決するために、請求項1のメモリ復元機能付情報処理装置は、(バッテリ回路4Aなどを用いて) バッテリバックアップされるRAM (3など) を用いて常時、処理を行うと共に、前記RAM内の所定領域のデータを(定周期毎に) E<sup>2</sup>ROM (2など) を備えた情報処理装置であって、電源回復時、前記RAMの前記所定領域のデータと前記E<sup>2</sup>ROM内の該データとを比較し、両者が異なるときは前記E<sup>2</sup>ROMのデータを前記RAMの前記所定領域へコピーする手段(復電時RAM内容更新手段1Bなど)を備えたものとし、

【0005】 請求項2のメモリ復元機能付情報処理装置では、請求項1に記載のメモリ復元機能付情報処理装置において、前記RAM内の所定領域のデータと前記E<sup>2</sup>ROM内のこのデータとを比較するデータとを比較し、両者が異なるときは前記E<sup>2</sup>ROMのデータを前記RAMの前記所定領域へコピーする手段(復電時RAM内容更新手段1Bなど)を備えたものとし、

【0006】 請求項3のメモリ復元機能付情報処理装置では、請求項2に記載のメモリ復元機能付情報処理装置において、前記所定領域はこの情報処理装置の寿命時間と前記E<sup>2</sup>ROMの番換寿命回数で除した期間以上であるようにしたことをとする。

【0007】  
【作用】 バッテリバックアップされるRAMを用いて常時、処理を行い、定周期毎にRAMの内容をE<sup>2</sup>ROMにコピーするようにし、復電時はRAMとE<sup>2</sup>ROMの内容を比較し、相違があればE<sup>2</sup>ROMの内容をRAMへコピーしてRAM内容を復元する。この場合、前記の制限はこの情報処理装置の寿命時間とE<sup>2</sup>ROMの番換寿命回数で除した期間以上となるようにする。

【0008】  
【実施例】 以下図1ないし図4に基づいて本発明の実施例を説明する。図1は本発明の実施例としてのメモリ回路の構成を示し、この図は図8に対応している。図1においてE<sup>2</sup>ROM 2とRAM3の容量は等しい。そして停電時のデータを一定時間保持するために、RAM3のみ、にバッテリバックアップ回路4Aが接続されている。またCPU1内にはこのCPUの機能を分担する主要手段としての定周期E<sup>2</sup>ROM 内容更新手段1Aおよび復電時RAM内容更新手段1Bが設けられている。図2

(3)

特開平4-336351

図4は図1の動作を説明するための、RAM3とE'ROM 2内のデータ内容の推移例を示すタイムチャートである。次に図2〜図4を参照しつつ図1の動作を説明する。CPU1は通常、RAM3を使用して情報処理を行い、一定周期1毎にRAM3とE'ROM 2の内容を比較し、真ならばRAMのデータをE'ROM にコピーする(図2)。このコピーの機能はCPU1の定周期E'ROM 内容書き換え手段1Aの機能に相当する。

[0009] このメモリ回路を使用する情報処理装置の寿命をT、E'ROM の 読み取り回数をNとすると次式が成立するように前記の周期1を定める。

$$(T/E) < N \quad (1)$$

また、CPU1は電源ON時、バリエーション等の方法でRAM3の内容をチェックし、データが正常であればそのまま情報処理を開始する(図3)。しかし逆に、データが異常であればE'ROM 2のデータをRAM3にコピーした後に情報処理を開始する(図4)。このコピーの機能はCPU1の復電時RAM内容書き換え手段1Bの機能に相当する。

[0010]

【発明の効果】請求項1に關する発明によれば、メモリ復元機能付情報処理装置が、バッテリー回路4Aを介しバッテリーバックアップされるRAM3を用いて常時、処理を行うと共に、前記RAM3内の所定領域のデータを定周期E'ROM 内容書き換え手段1Aを介しコピーして保存するE'ROM 2を備えた情報処理装置であって、電源回復時、前記RAM3の前記所定領域のデータと前記E'ROM 2内の該データに於けるデータとを比較し、両者が異なるときは前記E'ROM 2のデータを前記RAM3の前記所定領域へコピーする手段としての復電時RAM内容書き換え手段1Bを備えるようにし、

[0011] 請求項2に關する発明によれば、請求項1に記載のメモリ復元機能付情報処理装置において、前記RAM3内の所定領域のデータの

(3)

特開平4-336351

一は、所定周期1ごとに該データと前記E'ROM 2内のこのデータに於けるデータとを比較した結果、両者が異なるように行われるようにし、また、

[0012] 請求項3に關する発明によれば、請求項2に記載のメモリ復元機能付情報処理装置において、前記所定周期1はこの情報処理装置の寿命時間Tを前記E'ROM 2の書き換え回数Nで除した期間以上であるようにしたので、

[0013] 図2よりE'ROM 2の書き換え回数は、周期1によって決まり、RAM3の変更回数には影響を受けない、しかも、周期1は式(1)によって決定されるため、装置稼動中にE'ROM 2の書き換え回数Nに達し、書き換え不能となるおそれは無い、また、図1におけるバッテリーバックアップ回路4AはRAM3のデータ保持に必要な電力を供給すればよいので、図6のバッテリー回路4に比べて小型化することが可能となる。

【図面の簡単な説明】

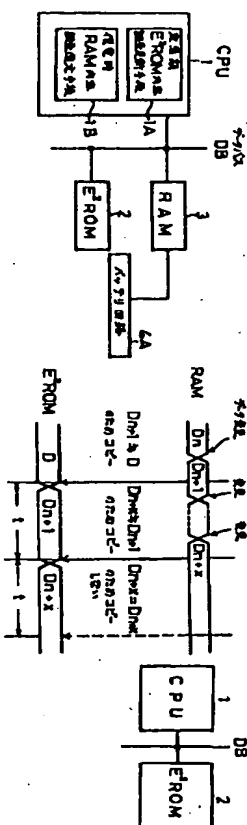
- 【図1】 本発明の実施例としての要部構成を示す回路図
- 【図2】 図1の動作説明用のタイムチャート
- 【図3】 図1の動作説明用のタイムチャート
- 【図4】 図1の動作説明用のタイムチャート
- 【図5】 従来のメモリ回路の1例を示す図
- 【図6】 従来のメモリ回路の他の例を示す図

【符号の説明】

- 1 CPU
- 1A 定周期E'ROM 内容書き換え手段
- 1B 復電時RAM内容書き換え手段
- 2 E'ROM
- 3 RAM
- 4A バッテリー回路
- 1 周期
- T 情報処理装置寿命
- N E'ROM の書き換え回数

【図2】

【図5】

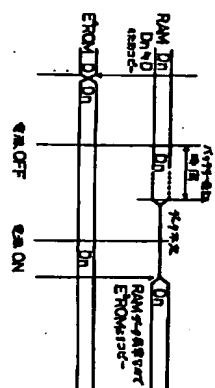
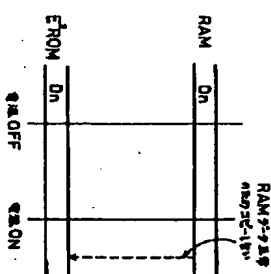


(4)

特開平4-336351

【図3】

【図4】



【図6】

